

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-284817

[ST.10/C]:

[JP 2002-284817]

出 願 人

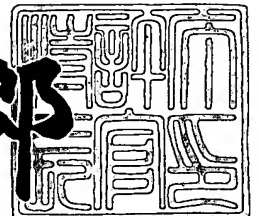
Applicant(s):

富士通株式会社

2003年 2月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3004620

【書類名】 特許願

【整理番号】 0240536

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明の名称】 半導体集積回路装置

【請求項の数】 9

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 板倉 賀津彦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【電話番号】 052-218-7161

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【プルーフの要否】 要

【書類名】 明細書
 【発明の名称】 半導体集積回路装置
 【特許請求の範囲】

【請求項 1】 複数の記憶セルを配置したメモリセルアレイの論理的なアドレス空間における基本領域である、論理行領域および論理列領域の選択により、通常動作において前記記憶セルに対するアクセスを行うメモリマクロを備える半導体集積回路装置であって、

前記メモリセルアレイの物理的配置に基づく物理行領域または物理列領域ごとに、不良記憶セルが存在するか否かを検出する不良領域検出部と、

前記不良領域検出部による検出結果に応じて、前記物理行領域または前記物理列領域ごとに救済する、少なくとも 1 単位の冗長領域と、

少なくとも 1 単位の前記物理行領域または前記物理列領域を、1 単位の前記論理行領域または前記論理列領域に割り付ける割付部とを備えることを特徴とする半導体集積回路装置。

【請求項 2】 前記物理行領域または前記物理列領域は、前記メモリセルアレイの物理的配置において電氣的に制御可能な最小単位であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記物理行領域とは、前記メモリセルアレイにおいて物理的に配置されている複数のワード線のうち電氣的に独立して制御可能な、少なくとも 1 本のワード線に選択される前記記憶セル群であり、

前記物理列領域とは、前記メモリセルアレイにおいて物理的に配置されている複数のビット線のうち電氣的に独立して制御可能な、少なくとも 1 本のビット線に接続される前記記憶セル群であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】 メモリマクロと論理マクロとを備え、外部から供給されるクロック信号に基づき動作する半導体集積回路装置であって、

前記論理マクロとは独立して動作し、前記メモリマクロの試験を行う自己診断回路を備え、

前記自己診断回路には、前記試験の際、前記クロック信号を前記メモリマクロ

の動作実力周波数である内部クロック信号に変換する周波数制御部を備えることを特徴とする半導体集積回路装置。

【請求項 5】 前記周波数制御部は、外部から供給される試験条件情報に基づき、前記クロック信号を変換することを特徴とする請求項 4 に記載の半導体集積回路装置。

【請求項 6】 メモリセルアレイの自己診断試験機能を有するメモリマクロを備える半導体集積回路装置であって、

前記メモリセルアレイから入出力されるデータのレイテンシを制御するデータレイテンシ制御部と、

通常動作時に設定されるべき第 1 レイテンシ値情報と、前記自己診断試験時に設定されるべき第 2 レイテンシ値情報とを、前記データレイテンシ制御部に供給する設定レイテンシ値切替部と、

前記第 2 レイテンシ値情報を格納するレイテンシ値格納部とを備えることを特徴とする半導体集積回路装置。

【請求項 7】 前記第 1 レイテンシ値情報は、前記メモリマクロを 1 機能回路として動作させる際のレイテンシ値情報であり、

前記第 2 レイテンシ値情報は、前記メモリマクロの動作実力周波数による動作におけるレイテンシ値情報であることを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 8】 メモリセルアレイの自己診断試験機能を有するメモリマクロを備える半導体集積回路装置であって、

前記メモリセルアレイの所定領域ごとに、不良記憶セルが存在するか否かの検出結果を格納する不良領域格納部と、

前記検出結果を、外部から供給されるクロック信号に基づき出力する際、前記不良領域格納部からの出力経路における伝播遅延時間と前記クロック信号の動作周波数とに応じて、前記検出結果の出力レイテンシを制御する出力レイテンシ制御部とを備えることを特徴とする半導体集積回路装置。

【請求項 9】 前記出力レイテンシ制御部は、外部から供給される試験条件情報に基づき、出力レイテンシ値が調整されることを特徴とする請求項 8 に記載

の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリマクロを備えた半導体集積回路装置に関するものであり、特に、メモリマクロ内のメモリセルアレイについて好適な試験を行うことができる半導体集積回路装置に関するものである。

【0002】

【従来の技術】

半導体集積回路装置では、論理マクロとメモリマクロとが混在して搭載されて回路動作が行われる。ここで、メモリマクロは、製造されるプロセステクノロジーに合わせて最適なアクセス動作が得られるように、動作周波数やデータレイテンシ等が予め最適化設計されていることが一般的である。これに対して、論理マクロは半導体集積回路装置に要求される回路仕様に合わせて内部回路を制御する。従って、半導体集積回路装置による回路動作におけるメモリマクロの制御は、メモリマクロ単体での最適動作を実現する最適周波数や最適データレイテンシとは異なる動作条件で行われることが一般的である。

【0003】

また、特許文献1に開示されている半導体記憶装置では、不良箇所の特定可能な試験が、容易に行える半導体記憶装置の実現を目的としている。図10に自己診断回路の回路ブロック図を示す。100はメモリ本体である。310はシーケンスコントローラであり、自己診断回路で必要な制御信号を発生させる。320はデータ発生器であり、試験のためにメモリ本体100に書き込むデータを発生させる。330はアドレス発生器であり、試験のために各メモリセルにデータを書き込み、更に書き込んだデータを読み出す時のアドレス信号を発生する。340はデータ良否判定器／結果記憶器であり、メモリの各メモリセルに書き込んだデータをデータ発生器320から受け、その書き込んだデータを実際にメモリ本体100から読み出したデータと比較し、その結果を記憶する。書き込んだデータと読み出したデータとが異なる時には、そのメモリセルは不良であるからその

位置を記憶する。350はデータ良否判定器／結果記憶器340に記憶された試験結果、すなわち不良箇所の位置情報を出力する。

【0004】

ここで、メモリは、ワード線とビット線を選択的に活性化することにより各メモリセルにアクセスできるようになっており、冗長回路は1本のビット線に付属するすべてのメモリセル（ビット列）を置き換えるように構成するのが一般的である。そのため、不良箇所の位置情報は、ビット列単位の情報となっている。

【0005】

次に、メモリセルアレイにおいてアドレスの論理空間の違いによる冗長構成の違いを図11に示す。8行（0乃至7行）および4列（0乃至4列）の物理アドレス空間を有するメモリセルアレイに対して、アドレスの論理構成が異なる例を示している。（A）が8行（0乃至VII行）および4列（0乃至III列）の論理空間の場合であり、（B）が16行（0乃至XV行）および2列（0およびI列）の論理空間の場合である。また、8行2列の物理構成を有する冗長構成（冗長（1）、冗長（2））を有するものとする。

【0006】

図11では、2ビットの不良ビットX（1）が存在する場合の冗長構成を示している。不良ビットX（1）の物理アドレス空間における列位置は、第0列および第1列となる。従って、（A）の場合には、論理列として第0列及び第I列を、各々冗長（1）および（2）に置き換えることにより冗長救済をすることができ。また（B）の場合には、論理列として第0列を冗長（1）および（2）に置き換えることとなる。すなわち、8行4列の論理空間の場合（図11の（A））では、各冗長（1）、（2）は各々別個の論理列に対する冗長構成となる。これに対して、16行2列の論理空間の場合（図11の（B））では、2つの冗長（1）および（2）を合わせて1列の論理列に対する冗長構成となる。

【0007】

また、図12には、半導体集積回路装置におけるメモリマクロ1と外部端子（CLK）、（OUT）とのチップダイ上の配置位置関係を示す。半導体集積回路装置では、回路仕様ごとに異なる記憶容量と異なる論理アドレス空間とを有して

構成されるメモリマクロ 1 の他、論理マクロ 2 についても回路仕様ごとに様々な回路構成、回路規模を有して搭載されている。また、半導体集積回路装置は、所定のパッケージに収納する必要から所定のチップダイ上に高集積されなければならない。メモリマクロ 1 と論理マクロ 2 との相互の配置位置関係は、各々の回路構成や回路規模と許容チップダイとに応じて、適宜に変更されることが一般的である。また、クロック端子 (C L K) や自己診断回路からの出力端子 (O U T) を含めた外部端子の端子配列は、論理マクロ 2 に対して最適化されるように決定される。そのため、外部端子の端子配列も、半導体集積回路装置ごとに適宜に変更されることが一般的である。従って、メモリマクロ 1 とクロック端子 (C L K) および出力端子 (O U T) との位置関係も、半導体集積回路装置ごとに異なることが一般的である。

【 0 0 0 8 】

【特許文献 1】

特開平 6 - 4 5 4 5 1 号公報 (段落 0 0 0 3、段落 0 0 1 1、段落 0 0 1 6、第 3 図)

【 0 0 0 9 】

【発明が解決しようとする課題】

半導体集積回路装置では、メモリマクロ単体での最適動作を実現する最適周波数や最適データレイテンシとは異なり、回路仕様により設定された動作条件でメモリマクロへのアクセス動作が行われる。このため、メモリマクロに対する自己診断試験の際にも、半導体集積回路装置に対して設定されたこの動作条件で試験が行われることとなる。メモリマクロにおける最適周波数や最適データレイテンシで試験を行うことができず、効率的な自己診断試験を実施することができず問題である。

【 0 0 1 0 】

具体的には、最適周波数に比して半導体集積回路装置の動作周波数が低い場合には、メモリマクロのアクセス速度の実力に満たないアクセス速度で自己診断試験が行われることとなり、必要以上に試験時間を要してしまうおそれがあり問題である。最適周波数に比して半導体集積回路装置の動作周波数が高い場合には、

正常なアクセス動作を行うことはできず問題である。また、最適レイテンシに比して半導体集積回路装置の動作時のデータレイテンシが小さい場合には、メモリセルアレイからのデータ入出力の時間が確保されないため、正しいデータの入出力を行うことができないおそれがあり問題である。最適レイテンシに比して半導体集積回路装置の動作時のデータレイテンシが大きい場合には、データ入出力の際に必要な以上の時間を確保することとなり、必要以上に試験時間を要してしまい問題である。

【 0 0 1 1 】

また、図 1 1 に示すように、所定の物理アドレス空間を有するメモリセルアレイに対して、半導体集積回路装置ごとに論理アドレス空間を適宜に設定することにより、多様な論理アドレス空間を有するメモリマクロを設定することが可能である。しかしながら、搭載される冗長構成は固定であると共に、冗長救済の単位が論理空間におけるビット列ごとに行われるため、設定される論理空間に応じて救済できるビット列の総数が増減してしまうこととなる。メモリマクロに設定される論理アドレス空間ごとに冗長構成による救済効率に変化してしまい、論理空間の設定によっては救済効率が低下してしまう場合があり問題である。

【 0 0 1 2 】

具体例を図 1 1 に示す。2 ビットの不良ビット X (2) については、(A) の場合には、論理列として第 I 列及び第 III 列を、各々冗長 (1) および (2) に置き換えることにより冗長救済をすることができる。これに対して (B) の場合には、不良ビット X (2) が、論理列として第 0 列および第 I 列にあるところ、冗長 (1) および (2) で 1 列の冗長構成を構成しているため、救済は不可能となる。

【 0 0 1 3 】

尚、図 1 1 においては、冗長救済の単位としてビット列を例にとり説明したが、冗長救済の単位をワード列にする場合も同様に、論理アドレス空間の設定ごとに冗長構成による救済効率に変化してしまい、論理空間の設定によっては救済効率が低下してしまう場合があり問題である。

【 0 0 1 4 】

更に、図 1 2 に示すように、半導体集積回路装置に要求される回路仕様に依りて、メモリマクロとメモリマクロの自己診断回路に対する外部端子（CLK）、（OUT）とのチップダイ上の配置位置関係が変化することが一般的である。従って、自己診断回路と外部端子（CLK）、（OUT）とを接続する配線長は長短様々となり、これに依りて配線負荷の大小も様々となる。図 1 2 の（A）は、配線負荷が最小で信号の伝播遅延時間が最小の場合を示す。（B）は、配線負荷が長大で信号の伝播遅延時間が大きな場合である。チップダイ上の配置位置関係の違いにより伝播遅延時間に違いを生ずることとなり、外部端子（CLK）へのクロック信号に対する外部端子（OUT）からの出力信号の出力タイミングが配置位置の違いにより正しく取り出せないおそれがあり問題である。

【 0 0 1 5 】

本発明は前記従来技術の課題の少なくとも 1 つを解消するためになされたものであり、半導体集積回路装置に搭載されたメモリマクロを試験する際、半導体集積回路装置において設定されている動作仕様に関わらず、最適な試験単位を最適な試験条件で試験することが可能なメモリマクロを備える半導体集積回路装置を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

前記目的を達成するために、請求項 1 に係る半導体集積回路装置は、複数の記憶セルを配置したメモリセルアレイの論理的なアドレス空間における基本領域である、論理行領域および論理列領域の選択により、通常動作において記憶セルに対するアクセスを行うメモリマクロを備えており、メモリセルアレイの物理的配置に基づく物理行領域または物理列領域ごとに、不良記憶セルが存在するか否かを検出する不良領域検出部と、不良領域検出部による検出結果に依りて、物理行領域または物理列領域ごとに救済する、少なくとも 1 単位の冗長領域と、少なくとも 1 単位の物理行領域または物理列領域を、1 単位の論理行領域または論理列領域に割り付ける割付部とを備えることを特徴とする。

【 0 0 1 7 】

請求項 1 の半導体集積回路装置では、通常動作においては、割付部により、メ

メモリセルアレイの物理的配置に基づく物理行領域および物理列領域の少なくとも1単位を、論理的なアドレス空間における論理行領域および論理列領域を割り付けた上で、論理行領域および論理列領域を基本領域としてアクセス動作を行う。一方、不良領域検出部により、物理行領域または物理列領域ごとに不良記憶セルが存在するか否かを検出し、検出結果に応じて、不良記憶セルが存在する物理行領域または物理列領域を、領域ごとに少なくとも1単位の冗長領域により救済する。

【 0 0 1 8 】

これにより、メモリマクロとして所定の物理的配置を備えるメモリセルアレイに対して、多様な論理アドレス空間に基づき、少なくとも1単位の物理行領域および物理列領域により論理行領域および論理列領域を構成してアクセス動作を行う場合にも、所定の物理行領域または所定の物理列領域に対して不良記憶セルの存在の有無を検出することができ、検出結果に応じて、物理行領域または物理列領域に対して冗長救済を行うことができる。多様な論理行領域および論理列領域を基本単位として構成されるメモリマクロに対して、論理アドレス空間に関わらず所定単位での冗長救済を行うことができ、常に一定の冗長救済効率を実現することができる。

【 0 0 1 9 】

また、請求項2に係る半導体集積回路装置は、請求項1に記載の半導体集積回路装置において、物理行領域または物理列領域は、メモリセルアレイの物理的配置において電氣的に制御可能な最小単位であることを特徴とする。

【 0 0 2 0 】

これにより、電氣的制御が可能な最小単位ごとに不良記憶セルの有無を検出することができ、最小単位ごとに冗長救済を行うことができる。

【 0 0 2 1 】

また、請求項3に係る半導体集積回路装置は、請求項1に記載の半導体集積回路装置において、物理行領域とは、メモリセルアレイにおいて物理的に配置されている複数のワード線のうち電氣的に独立して制御可能な、少なくとも1本のワード線に選択される記憶セル群であり、物理列領域とは、メモリセルアレイにお

いて物理的に配置されている複数のビット線のうち電氣的に独立して制御可能な、少なくとも1本のビット線に接続される記憶セル群であることを特徴とする。

【0022】

これにより、電氣的に独立して制御が可能な、ワード線により選択される記憶セル群またはビット線に接続される記憶セル群ごとに不良記憶セルの有無を検出することができ、これらのワード線またはビット線により構成される最小単位ごとに冗長救済を行うことができる。ここで、最小単位としてのワード線またはビット線とは、電氣的に独立して制御が可能な単位であり、1本で構成される場合や2本以上で構成される場合等、メモリマクロの設計に応じて適宜に設定が可能である。

【0023】

また、請求項4に係る半導体集積回路装置は、外部から供給されるクロック信号に基づき動作すると共に、メモリマクロと論理マクロとを備えており、論理マクロとは独立して動作し、メモリマクロの試験を行う自己診断回路を備え、自己診断回路には、試験の際、クロック信号をメモリマクロの動作実力周波数である内部クロック信号に変換する周波数制御部を備えることを特徴とする。

【0024】

請求項4の半導体集積回路装置では、メモリマクロと論理マクロとが外部から供給されるクロック信号に基づき動作する。また、メモリマクロに備えられる自己診断回路には周波数制御部が備えられ、クロック信号をメモリマクロの動作実力周波数である内部クロック信号に変換して論理マクロとは独立して動作し、メモリマクロの試験を行う。

【0025】

これにより、半導体集積回路装置が、メモリマクロ単体における最適な動作実力周波数である内部クロック信号とは異なる動作周波数のクロック信号で動作を行うように設定されている場合にも、自己診断回路によるメモリマクロの試験時には、クロック信号が内部クロック信号に変換されて試験が行われるので、最適な試験を行うことができる。効率的に自己診断試験を行うことができる。

【0026】

また、請求項 5 に係る半導体集積回路装置は、請求項 4 に記載の半導体集積回路装置において、周波数制御部は、外部から供給される試験条件情報に基づき、クロック信号を変換することを特徴とする。

【 0 0 2 7 】

これにより、クロック信号を内部クロック信号に変換する際の条件が、試験条件情報として外部から供給されるので、周波数制御部では、試験条件情報に応じて的確な変換を行うことができる。また、この場合の試験条件情報とは、クロック信号に対する分周／通倍数に関する情報であることが好ましい。メモリマクロにおける最適な動作実力周波数である内部クロック信号は設計段階において予め既知であるので、外部から入力されるクロック信号が確定した段階で、クロック信号から内部クロック信号に変換する際の動作周波数の分周／通倍数は確定する。この確定情報に基づき試験条件情報を設定することができる的確な変換を直接に行うことができる。

【 0 0 2 8 】

また、請求項 6 に係る半導体集積回路装置は、メモリセルアレイの自己診断試験機能を有するメモリマクロを備えており、メモリセルアレイから入出力されるデータのレイテンシを制御するデータレイテンシ制御部と、通常動作時に設定されるべき第 1 レイテンシ値情報と、自己診断試験時に設定されるべき第 2 レイテンシ値情報とを、データレイテンシ制御部に供給する設定レイテンシ値切替部と、第 2 レイテンシ値情報を格納するレイテンシ値格納部とを備えることを特徴とする。

【 0 0 2 9 】

請求項 6 の半導体集積回路装置では、データレイテンシ制御部は、メモリセルアレイから入出力されるデータのレイテンシを制御する。制御されるレイテンシ値情報は、通常動作時に設定されるべき第 1 レイテンシ値情報と、自己診断試験時に設定されるべき第 2 レイテンシ値情報であり、設定レイテンシ値切替部によりデータレイテンシ制御部に供給される。また、第 2 レイテンシ値情報は、レイテンシ値格納部に格納されている。

【 0 0 3 0 】

これにより、メモリセルアレイからのデータレイテンシ制御が通常動作においては、メモリマクロ単体における最適なデータレイテンシ値情報である第2レイテンシ値情報とは異なる、第1レイテンシ値情報で制御されるように設定されている場合にも、自己診断試験時には、第2データレイテンシ値情報で制御される。メモリマクロにおいて最適なデータレイテンシ値情報である第2レイテンシ値情報で自己診断試験を行うことができるので、最適なデータ入出力制御により試験を行うことができ、効率的に自己診断試験を行うことができる。

【 0 0 3 1 】

また、請求項7に係る半導体集積回路装置は、請求項6に記載の半導体集積回路装置において、第1レイテンシ値情報は、メモリマクロを1機能回路として動作させる際のレイテンシ値情報であり、第2レイテンシ値情報は、メモリマクロの動作実力周波数による動作におけるレイテンシ値情報であることを特徴とする。

【 0 0 3 2 】

これにより、自己診断試験においてメモリマクロにおける動作実力周波数によりデータアクセスを行う場合のデータ入出力の動作タイミングに適合したデータレイテンシ値情報を、第2レイテンシ値情報として設定すればよい。

【 0 0 3 3 】

また、請求項8に係る半導体集積回路装置は、メモリセルアレイの自己診断試験機能を有するメモリマクロを備えており、メモリセルアレイの所定領域ごとに、不良記憶セルが存在するか否かの検出結果を格納する不良領域格納部と、検出結果を、外部から供給されるクロック信号に基づき出力する際、不良領域格納部からの出力経路における伝播遅延時間とクロック信号の動作周波数とに応じて、検出結果の出力レイテンシを制御する出力レイテンシ制御部とを備えることを特徴とする。

【 0 0 3 4 】

請求項8の半導体集積回路装置では、不良領域格納部に格納されている不良記憶セルの有無の検出結果を出力する際、不良領域格納部からの出力経路における伝播遅延時間とクロック信号の動作周波数とに応じて、出力レイテンシ制御部に

より出力レイテンシを制御する。

【0035】

これにより、メモリマクロと外部端子とのチップダイ上の配置位置関係の違いにより生ずる検出結果の伝播遅延時間に違いに応じて、外部から供給されるクロック信号の動作周波数に基づき、外部端子から出力される検出結果の出力タイミングを適宜調整することができる。配置位置関係の違いやクロック信号の動作周波数の違いに関わらず、安定して検出結果を出力することができる。

【0036】

また、請求項9に係る半導体集積回路装置は、請求項8に記載の半導体集積回路装置において、出力レイテンシ制御部は、外部から供給される試験条件情報に基づき、出力レイテンシ値が調整されることを特徴とする。

【0037】

これにより、検出結果を出力する際の出力タイミングを調整するために、クロック信号の動作周波数に基づき試験条件情報が外部から供給されるので、出力レイテンシ制御部では、試験条件情報に応じて的確な出力レイテンシを設定することができる。また、この場合の試験条件情報とは、出力レイテンシ値に関する情報であることが好ましい。チップダイ上の配置位置関係に基づく検出結果の伝播遅延時間は設計段階において予め既知であるので、外部から入力されるクロック信号が確定した段階で、出力レイテンシ制御部において必要とされる出力レイテンシ値は確定する。この確定情報に基づき試験条件情報を設定することができる的確な設定を直接に行うことができる。

【0038】

図1に本発明の原理説明図を示す。半導体集積回路装置10は、メモリマクロ1と論理マクロ2とを備えて構成されている。論理マクロ2は、通常使用状態においてメモリマクロ1を制御し、メモリマクロ1に対して各種の制御信号CTL、アドレス信号AD、データレイテンシ値情報LOを供給すると共に、メモリマクロ1との間でデータDの入出力を行う。また、自己診断試験の試験起動信号BISTは、外部からメモリマクロ1に対して供給される。また、メモリマクロ1と論理マクロ2とは、テスト3等の外部装置から外部端子（CLK）を介して供

給されるクロック信号CLKにより動作する。

【0039】

メモリマクロ1は、メモリセルアレイ11と冗長回路12とに記憶セルが配置されている。メモリセルアレイ11には、物理アドレス空間における基本領域である物理領域ごとに内部バスIBが接続されており物理領域ごとにデータ入出力が行われる。内部バスIBは、割付部14および自己診断回路15に接続されている。割付部14は、メモリセルアレイ11に接続されている物理領域ごとの内部バスIBを、論理マクロ2から供給されるアドレスADのうちの所定アドレスADXにより外部バスOBに割り付ける。1本の外部バスOBには少なくとも1本の内部バスIBを割り付けるため、1本の外部バスOBでアクセスされる記憶セル数は、1本の内部バスIBによりアクセスされる記憶セル数以上となる。半導体集積回路装置10の設計ごとに設定されるメモリセルアレイ11への論理アドレスの空間に応じて所定アドレスADXにより制御される。

【0040】

図1中(1)で示される部分が第1の発明原理部分である。自己診断回路15には内部バスIBが接続されているため、メモリセルアレイ11における物理アドレス空間における基本領域である物理領域ごとに自己診断試験が行われる。論理マクロからの制御による論理アドレス空間に関わらず、常に、メモリセルアレイ11の物理空間に基づいた物理領域を基本単位として自己診断試験が行われる。自己診断試験に基づき冗長救済を行う際に、常に最適な冗長救済効率で不良記憶セルの救済を行うことができる。

【0041】

自己診断回路15は試験起動信号BISTにより起動される。図1中(2)および(3)で示される第2および第3の発明原理部分として、周波数制御部16およびレイテンシ値格納部17が備えられている。

【0042】

第2の発明原理部分である周波数制御部16には、クロック信号CLKが入力されると共に、設定端子(SET)には周波数の変換条件に関する情報が入力され、内部クロック信号iCLKが出力される。内部クロック信号iCLKは、自

己診断試験時におけるメモリマクロ 1 の動作周波数として使用される。設定端子 (SET) に入力される周波数の変換条件に関する情報は、試験条件情報として半導体集積回路装置 1 0 の外部から直接に供給され、あるいはクロック信号の動作周波数から半導体集積回路装置 1 0 内部で生成することもできる。外部から供給されるクロック信号に関わらず、自己診断試験時には内部クロック信号 iCLK をメモリマクロ 1 における動作実力周波数に設定することができ、最適な動作周波数によりメモリマクロ 1 における自己診断試験を実行することができる。

【 0 0 4 3 】

第 3 の発明原理部分であるレイテンシ値格納部 1 7 には、自己診断試験時におけるメモリセルアレイ 1 とのデータレイテンシ値情報として第 2 レイテンシ値情報 L 1 が格納されており、試験起動信号 BIST に応じてメモリマクロ 1 に供給される。通常動作時において論理マクロ 2 により設定されるデータレイテンシ値情報 L 0 に関わらず、自己診断試験時にはメモリマクロ 1 における最適なデータレイテンシ値情報である第 2 レイテンシ値情報 L 1 でデータの入出力を制御して自己診断試験を実行することができる。

【 0 0 4 4 】

自己診断回路 1 5 により内部バス IB ごとに検出された不良記憶セルの存在情報をテスト 3 等の外部装置に出力する際、検出結果は、図 1 中 (4) の第 4 の発明原理部分に示される出力レイテンシ制御部 1 8 を介して出力端子 (OUT) から出力される。メモリマクロ 1 における自己診断回路 1 5 から出力端子 (OUT) に至る信号経路は、半導体集積回路装置 1 0 の個々の設計ごとに異なっており、配線負荷の違いに伴う信号伝播遅延時間が異なることが一般的である。テスト 3 等への検出結果の供給を的確に行うために、出力経路における伝播遅延時間に応じてクロック信号 CLK に基づき、外部端子 (I 2) を介して出力レイテンシ制御部 1 8 に試験条件情報 I 2 を入力する。出力レイテンシ制御部 1 8 では、試験条件情報 I 2 に基づき出力レイテンシ値情報 L 2 を設定する。試験条件情報 I 2 として出力レイテンシ値情報 L 2 を直接に供給することができるほか、試験条件情報 I 2 に基づき内部で生成することもできる。半導体集積回路装置 1 0 ごとにクロック信号の動作周波数に適合した出力レイテンシ値情報 L 2 に基づき検出

結果を出力することができる。

【0045】

【発明の実施の形態】

以下、本発明の半導体集積回路装置について具体化した実施形態を図2乃至図9に基づき図面を参照しつつ詳細に説明する。

【0046】

図2には、第1実施形態としてメモリセルアレイ11Aからの内部／外部バスの構成例について示す。メモリセルアレイ11Aは、8行（0乃至7行）および4列（0乃至4列）の物理アドレス空間を有するものとする。内部バスIB1は、各物理列（0乃至4列）ごとに備えられている。内部バスIB1は、マルチプレクサ（MUX）14Aにより2単位の物理列（0行および1行、2行および3行）に対して1単位の論理列が割り当てられている。合わせて2単位の論理列が外部バスOB1として備えられている。また、内部バスIB1は自己診断回路15Aに接続されている。自己診断試験時、内部バスIB1を介して出力されるメモリセルアレイ11Aのデータは、不良領域検出部21において物理列ごとに不良記憶セルの有無が検出され、不良記憶セルが検出された物理列については不良領域格納部21に格納される。自己診断試験後、不良領域格納部21に格納されている物理列単位の不良位置データは、出力部22を介して出力端子（OUT）から外部のテスト等に出力される。出力された不良位置データに基づき、冗長救済が行われる。

【0047】

図2では、内部バスIB1と外部バスOB1との対応関係が2対1である場合を示している。すなわち、2本の物理列に対して1本の論理列が対応する設定である。この割り付けは、半導体集積回路装置の設計ごとにマルチプレクサ（MUX）14Aにおける割り付けを制御する所定アドレスADXの構成を適宜に設定することにより変更可能である。例えば、物理列を識別する1ビットのアドレス信号をドントケアとすれば図2に例示する2対1の割り付け関係になる他、2ビットのアドレス信号をドントケアとすれば、4本の物理列に対して1本の論理列を割り付ける構成とすることができる。図2に示す所定アドレスADXは、ドン

トケアとするアドレスを除いたアドレスビット列を示している。

【 0 0 4 8 】

半導体集積回路装置において実現すべき回路仕様により設定される論理アドレス空間により、マルチプレクサ (M U X) 1 4 A において内部バス I B 1 と外部バス O B 1 との割り付け関係は適宜に変更される。この変更に関わらず、自己診断回路 1 5 A には物理列を基本単位とする内部バス I B 1 が接続されている。

【 0 0 4 9 】

第 1 実施形態によれば、メモリマクロとして所定の物理的配置を備えるメモリセルアレイ 1 1 A に対して、多様な論理アドレス空間に基づき 2 単位の物理列により 1 単位の論理列を構成してアクセス動作を行う場合にも、物理列ごとに不良記憶セルの存在の有無を検出することができ、物理列ごとに冗長救済を行うことができる。多様な論理列を基本単位として構成されるメモリマクロ 1 1 A に対して、論理アドレス空間に関わらず物理列単位での冗長救済を行うことができ、常に一定の冗長救済効率を実現することができる。

【 0 0 5 0 】

このときの物理列を電氣的制御が可能な最小単位として設定してやれば、最小単位に対して不良記憶セルの有無を検出することができ、最小単位ごとに冗長救済を行うことができる。

【 0 0 5 1 】

ここで、行方向とは記憶セルを選択するワード線が配線される方向であり、列方向とは記憶セルが接続されるビット線が配線される方向である。また、物理行とは電氣的に独立して制御が可能なワード線に選択される記憶セル群を含んだ基本単位であり、物理列とは電氣的に独立して制御が可能なビット線に接続される記憶セル群を含んだ基本単位である。電氣的に独立して制御が可能なビット線を基本単位とすることにより、最小単位ごとに冗長救済を行うことができる。ここで、最小単位としてのビット線とは電氣的に独立して制御が可能な単位であり、1 本で構成される場合や 2 本以上で構成される場合等、メモリマクロの設計に応じて適宜に設定が可能である。

【 0 0 5 2 】

図 3 は、第 2 実施形態として周波数制御部 1 6 A により自己診断試験時の動作周波数が制御される場合の構成例について示す。自己診断回路 1 5 B には、アドレス／データ発生部 2 3 とコマンド発生部 2 4 とが備えられており、自己診断試験時にメモリセルアレイ 1 1 に対してアドレス／データ、コマンドを供給してアドレスごとにデータの入出力を行う。データ出力の際、メモリセルアレイ 1 1 から読み出されるデータは、不良領域検出部 2 1 A に出力される。不良領域検出部 2 1 A には読み出されたデータの正誤を判断するためにアドレス／データ発生部 2 3 からデータが入力される。不良データが読み出された場合に、不良データ位置を確認するためにアドレス情報もあわせて入力する構成としてもよい。

【 0 0 5 3 】

自己診断試験においては、アドレス／データ、コマンドを順次出力するタイミングを規定する周波数信号として内部クロック信号 $iCLK$ が周波数制御部 1 6 A から供給される。周波数制御部 1 6 A は、外部のテスト（不図示）等から供給されるクロック信号 CLK が入力されると共に、試験条件情報 $I1$ が入力される。試験条件情報 $I1$ とは、クロック信号 CLK から内部クロック信号 $iCLK$ を生成する際の分周／通倍数を確定するための情報である。メモリセルアレイ 1 1 を最高速で動作させる内部クロック信号 $iCLK$ の動作周波数は予め既知であるので、クロック信号の動作周波数に応じて分周／通倍数を決定することができる。試験条件情報 $I1$ とは、例えば、分周／通倍数をコード化した信号である。また、試験条件情報 $I1$ を供給せず、クロック信号 CLK から分周／通倍数を算出することもできる。

【 0 0 5 4 】

図 4 は、周波数制御部 1 6 A の具体例である。図 4 では試験条件情報 $I1$ として、分周／通倍数をコード化した信号に基づき周波数変換が行なわれる場合を示している。試験条件情報 $I1$ がセレクタ $S1$ を制御し、クロック信号 CLK ($\times 1$)、クロック信号 CLK に対する $(1/2)$ 分周周波数信号 ($\times (1/2)$)、または 2 通倍周波数信号 ($\times 2$) のいずれかを選択して内部クロック信号 $iCLK$ として出力する。

【 0 0 5 5 】

($1/2$) 分周周波数信号 ($\times (1/2)$) を出力する回路は、D型フリップフロップ F F 1 で構成されており、出力端子 (Q) から入力端子 (D) に向かうインバータゲート I N V 1 により出力信号が反転されて入力される構成である。この回路構成によりクロック端子 (C K) に入力されるクロック信号 C L K ごとに出力信号が論理反転することとなり、($1/2$) 分周周波数信号 ($\times (1/2)$) が生成される。

【 0 0 5 6 】

2 通倍周波数信号 ($\times 2$) を出力する回路は、直列接続された 2 つのインバータゲート I N V 2、I N V 3 と、インバータゲート I N V 2、I N V 3 の各々の出力端子が接続される負パルス発生回路 P G 1、P G 2 と、負パルス発生回路 P G 1、P G 2 の出力端子が接続されるナンドゲート N 1 とを備えている。負パルス発生回路 P G 1、P G 2 は、2 入力ナンドゲートの一方の入力端子への入力信号に対して、他方の入力端子に奇数段のインバータゲート (図 4 では 3 段を例示) により論理反転された遅延信号が入力されて、入力信号の立ち上がりエッジで負パルスを生成する回路である。クロック信号 C L K は、インバータゲート I N V 2、I N V 3 で論理反転された上で、負パルス発生回路 P G 1、P G 2 において、各々の信号の立ち上がりエッジで負パルス信号が生成される。負パルス信号は、クロック信号 C L K の半周期ごとに交互に生成され、このとき他方の信号はハイレベルを維持しているため、これらの 2 つの信号が入力されるナンドゲート N 1 の出力端子には、2 通倍周波数信号 ($\times 2$) が出力される。

【 0 0 5 7 】

第 2 実施形態によれば、メモリマクロ単体における最適な動作実周波数である内部クロック信号 i C L K とは異なる動作周波数のクロック信号 C L K が供給される場合にも、自己診断回路 1 5 B による試験時には、クロック信号 C L K が内部クロック信号 i C L K に変換されて試験が行われるので、最適な試験を行うことができる。効率的に自己診断試験を行うことができる。

【 0 0 5 8 】

このとき、周波数変換の条件が、試験条件情報 I 1 として外部のテスト等から供給されるので、周波数制御部 1 6 A では、試験条件情報 I 1 に応じて的確な変

換を行うことができる。また、この場合の試験条件情報 I 1 とは、クロック信号 CLK に対する分周／通倍数に関する情報である。メモリマクロにおける最適な動作実力周波数である内部クロック信号 i CLK は設計段階において予め既知であるので、外部から入力されるクロック信号 CLK が確定した段階で、クロック信号 CLK から内部クロック信号 i CLK に変換する際の動作周波数の分周／通倍数は確定する。この確定情報に基づき試験条件情報 I 1 を設定することができる。また、クロック信号 CLK から分周／通倍数を算出するように設定することも可能である。

【 0 0 5 9 】

図 5 は、第 3 実施形態としてレイテンシ値格納部 1 7 A により自己診断試験時にメモリセルアレイ 1 1 とのデータ入出力におけるデータレイテンシが制御される場合の構成例について示す。メモリセルアレイ 1 1 に対して自己診断試験を行う自己診断回路 1 5 C が備えられている。

【 0 0 6 0 】

自己診断回路 1 5 C は、アドレス／データ発生部 2 3、コマンド発生部 2 4、および不良領域検出部 2 1 A については第 2 実施形態（図 3）の場合と同様である。第 3 実施形態では、レイテンシ値格納部 1 7 A と、設定レイテンシ値切替部 2 6 と、データレイテンシ制御部 2 5 とが備えられている。レイテンシ値格納部 1 7 A には、自己診断試験時のデータレイテンシ値情報 L 1 が格納されており、コマンド発生部 2 4 に供給されると共に、設定レイテンシ値切替部 2 6 に供給されている。設定レイテンシ値切替部 2 6 では、通常動作時のレイテンシ値情報 L 0 と試験時のレイテンシ値情報 L 1 とが切り替え可能に入力されており、試験時には、レイテンシ値情報 L 1 が選択される。データレイテンシ制御部 2 5 は、設定レイテンシ値切替部 2 6 により選択されるレイテンシ値情報に応じてデータレイテンシ制御が行なわれる。更に、不良領域検出部 2 1 A による検出結果を格納する不良領域格納部 2 1 B と、格納されている検出結果を外部に出力する際の出力レイテンシを調整するレイテンシ制御部 1 8 とを備えている。不良領域格納部 2 1 B から出力端子（OUT）までの信号経路には、相互の配置位置関係に応じて配線負荷 RLD、CLD が付加されており、これらの配線負荷による伝播遅延

を調整するために、レイテンシ制御部 1 8 に外部から試験条件情報 I 2 が入力される。試験条件情報 I 2 に基づき出力レイテンシ情報 L 2 が設定される。

【 0 0 6 1 】

第 3 実施形態によれば、メモリセルアレイ 1 1 からのデータレイテンシ制御が、通常動作においてはレイテンシ値情報 L 0 (第 1 レイテンシ値情報) で制御される場合にも、自己診断試験時にはメモリマクロ単体における最適なデータレイテンシ値情報 L 1 (第 2 レイテンシ値情報) で制御される。メモリマクロにおいて最適なデータレイテンシ値情報 L 1 で自己診断試験を行うことができるので、最適なデータ入出力制御により試験を行うことができ、効率的に自己診断試験を行うことができる。

【 0 0 6 2 】

自己診断試験において、メモリマクロにおける動作実力周波数によりデータアクセスを行う場合には、レイテンシ値情報 L 1 として、動作実力周波数に適合したデータレイテンシ値に設定すればよい。

【 0 0 6 3 】

また、メモリマクロと外部端子 (O U T) とのチップダイ上の配置位置関係の違いにより、配線経路上の負荷 R L D、C L D に起因する検出結果の伝播遅延時間に違いに応じて、外部から供給されるクロック信号 C L K の動作周波数に基づき、外部端子 (O U T) から出力される検出結果の出力タイミングを適宜調整することができる。配置位置関係の違いやクロック信号 C L K の動作周波数の違いに関わらず、安定して検出結果を出力することができる。

【 0 0 6 4 】

このとき、検出結果を出力する際の出力タイミングを調整するために、クロック信号の動作周波数に基づき試験条件情報 I 2 が外部から供給されるので、出力レイテンシ制御部 1 8 では、試験条件情報 I 2 に応じて的確な出力レイテンシ情報 L 2 を設定することができる。チップダイ上の配置位置関係に基づく検出結果の伝播遅延時間は設計段階において予め既知であるので、クロック信号 C L K が確定した段階で、出力レイテンシ制御部 1 8 において必要とされる出力レイテンシ値は確定する。この確定情報に基づき試験条件情報 I 2 を設定することができ

的確な設定を直接に行うことができる。

【0065】

次に、第1乃至第3実施形態に対する具体例を図6に示す。メモリセルアレイ11に接続されている内部バスIB1はデータレイテンシ制御部25に入力された後、マルチプレクサ(MUX)14Aにより外部バスOB1に割り付けられる。マルチプレクサ(MUX)14Aは、内部バスIB1のうち隣接する2本の物理列と、相補の1ビット信号である所定アドレス信号ADXとが、各々組み合わされて入力される2つのナンドゲート、および2つのナンドゲートの出力端子が接続されるナンドゲートから構成されている。所定アドレス信号ADXに応じて2本の物理列のいずれかが選択されて、外部バスOB1を構成する2本の論理列のうちいずれかにデータが出力される。

【0066】

周波数制御部16Bは、クロック信号CLK($\times 1$)または2通倍周波数信号($\times 2$)のいずれかを選択する構成である。セクタS1は、マルチプレクサ(MUX)14Aと同様の構成を有している。1ビット信号として入力される試験条件情報I1に対して相補の信号が生成され、各々のナンドゲートに入力されている。何れかのナンドゲートが選択されて内部クロック信号iCLKが選択される。内部クロック信号iCLKは、データレイテンシ制御部25に入力される。

【0067】

設定レイテンシ値切替部26も、マルチプレクサ(MUX)14Aと同様な構成を有している。試験起動信号BISTに対して相補の信号が生成され何れか一方のナンドゲートが選択される。データレイテンシ制御部25に供給すべきレイテンシ値情報を切り替える。ここでは、通常動作状態でのレイテンシ値情報L0と、自己診断試験時のレイテンシ値情報L1との切り替えを1ビット信号で出力する構成である。レイテンシ値情報L0、L1は互いに相補の論理レベル信号であることを前提としている。

【0068】

データレイテンシ制御部25は、内部バスIB1の物理列ごとに備えられるフリップフリップFF2で構成されている。物理列は、入力端子(D)と出力端子

(Q) とに接続される。クロック端子 (CK) には内部クロック信号 iCLK が入力され、設定端子 (DL) にレイテンシ値情報 L0、L1 が入力されている。

【0069】

図7に、フリップフロップFF2の具体的な回路構成例を示す。入力端子(D)から出力端子(Q)へは、トランスファゲートT1、T2とインバータゲートで構成されるラッチ回路とが交互に備えられたシフトレジスタ構成を備えている。トランスファゲートT1、T2は、クロック端子(CK)と設定端子(DL)とに入力される信号に応じて制御される。クロック端子(CK)および設定端子(DL)への入力信号(CK、DL) = (0、0)、(0、1)、(1、0)、(1、1)の各々の論理レベルに対して、トランスファゲートT1、T2の導通状態(T1、T2)は、

(T1、T2) = (オン、オン)、(オン、オフ)、(オン、オン)、(オフ、オン)となる。従って、設定端子(DL)に入力される入力信号がローレベルの場合には、トランスファゲートT1、T2は共に常時オン状態となる。この場合のレイテンシ値は1である。設定端子(DL)に入力される入力信号がハイレベルの場合には、トランスファゲートT1は、クロック端子(CK)へのローレベル信号の入力の際にオン状態となり、入力端子(D)のデータがノードN1に取り込まれてラッチされる。トランスファゲートT2は、クロック端子(CK)へのハイレベル信号の入力の際にオン状態となり、ノードN1にラッチされているデータが出力端子(Q)に出力される。この場合のレイテンシ値は2である。

【0070】

レイテンシ値情報としてハイレベル信号が設定端子(DL)に入力された場合の動作波形を図8に示す。レイテンシ値が2の場合の動作波形である。クロック端子(CK)へのクロック信号のローレベル遷移に応じて、入力端子(D)に入力されているハイレベルデータがノードN1に取り込まれてラッチされる。クロック信号がハイレベルに遷移すると、ノードN1のデータが出力端子(Q)から出力される。

【0071】

図9は第4実施形態である。半導体集積回路装置が、2つのメモリセルアレイ

A、B（11A、11B）を備える場合の回路ブロック図である。各々のメモリセルアレイA、B（11A、11B）は、論理マクロ2Aにより、制御信号CTLA、CTLB、およびレイテンシ値情報LOA、LOBにより制御されており、データDA、DBを入出力している。

【0072】

メモリセルアレイA、B（11A、11B）単体での最適動作を実現する最適周波数や最適データレイテンシは、論理マクロ2Aによる制御条件と異なると共に、メモリセルアレイ相互間で異なる場合がある。図9は、このようなメモリセルアレイA、B（11A、11B）に対して自己診断試験を行う場合の回路構成例を示している。

【0073】

自己診断回路15Dには、周波数制御部16Bとレイテンシ値格納部17Bとを備えている。周波数制御部16Bには、外部から供給されるクロック信号CLKが入力されると共に、試験対象となるメモリセルアレイを指定する選択信号A/Bが入力される。選択されたメモリセルアレイにおける最適周波数に応じた内部クロック信号iCLKAまたはiCLKBを出力するための設定である。出力された内部クロック信号iCLKAまたはiCLKBは、クロック供給切替部28に入力され、選択信号A/Bに応じて選択されているメモリセルアレイ11Aまたは11Bに内部クロック信号iCLKAまたはiCLKBが供給される。

【0074】

レイテンシ値格納部17Bには、メモリセルアレイごとに最適なレイテンシ値情報が格納されると共に、試験対象となるメモリセルアレイを指定する選択信号A/Bが入力される。選択されたメモリセルアレイに対してレイテンシ値情報L1AまたはL1Bを出力する。出力されたレイテンシ値情報L1AまたはL1Bは、レイテンシ値供給切替部29に入力され、選択信号A/Bに応じて選択されているメモリセルアレイ11Aまたは11Bにレイテンシ値情報L1AまたはL1Bが供給される。

【0075】

尚、通常動作時のレイテンシ値情報LOAまたはLOBとの切り替えを行う設

定レイテンシ値切替部については示されていないが、レイテンシ値供給切替部 29 の前後に設置することができることは言うまでもない。

【0076】

また、第4実施形態では、選択信号 A/B は外部から供給される場合を例に説明したが、本実施形態はこれに限定されるものではない。論理マクロ 2A や図示しないその他の制御回路から供給する構成とすることができるほか、複数のメモリセルアレイを順次選択していく構成とすることもできることは言うまでもない。

【0077】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、内部バスを物理列方向に設定し、物理列ごとに自己診断試験を行った上で冗長救済を行う場合について説明したが、自己診断試験を物理行方向に行い、物理行ごとに冗長救済を行う構成とすることもできる。この場合は、内部/外部バスに代えて、行選択制御信号を、物理行ごとに行う内部行選択信号と論理行ごとに行う外部行選択信号とを備える構成とする。

【0078】

ここで、本発明に関する技術思想を以下に列記する。

(付記1) 複数の記憶セルを配置したメモリセルアレイの論理的なアドレス空間における基本領域である、論理行領域および論理列領域の選択により、通常動作において前記記憶セルに対するアクセスを行うメモリマクロを備える半導体集積回路装置であって、

前記メモリセルアレイの物理的配置に基づく物理行領域または物理列領域ごとに、不良記憶セルが存在するか否かを検出する不良領域検出部と、

前記不良領域検出部による検出結果に応じて、前記物理行領域または前記物理列領域ごとに救済する、少なくとも1単位の冗長領域と、

少なくとも1単位の前記物理行領域または前記物理列領域を、1単位の前記論理行領域または前記論理列領域に割り付ける割付部とを備えることを特徴とする半導体集積回路装置。

(付記 2) 前記物理行領域または前記物理列領域は、前記メモリセルアレイの物理的配置において電氣的に制御可能な最小単位であることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 3) 前記物理行領域とは、前記メモリセルアレイにおいて物理的に配置されている複数のワード線のうち電氣的に独立して制御可能な、少なくとも 1 本のワード線に選択される前記記憶セル群であり、

前記物理列領域とは、前記メモリセルアレイにおいて物理的に配置されている複数のビット線のうち電氣的に独立して制御可能な、少なくとも 1 本のビット線に接続される前記記憶セル群であることを特徴とする付記 1 に記載の半導体集積回路装置。

(付記 4) メモリマクロと論理マクロとを備え、外部から供給されるクロック信号に基づき動作する半導体集積回路装置であって、

前記論理マクロとは独立して動作し、前記メモリマクロの試験を行う自己診断回路を備え、

前記自己診断回路には、前記試験の際、前記クロック信号を前記メモリマクロの動作実力周波数である内部クロック信号に変換する周波数制御部を備えることを特徴とする半導体集積回路装置。

(付記 5) 前記周波数制御部は、外部から供給される試験条件情報に基づき、前記クロック信号を変換することを特徴とする付記 4 に記載の半導体集積回路装置。

(付記 6) 前記試験条件情報とは、前記クロック信号に対する分周／通倍数に関する情報であることを特徴とする付記 5 に記載の半導体集積回路装置。

(付記 7) 前記メモリマクロは、相互に動作実力周波数の異なる 2 以上のメモリセルアレイを備え、

前記周波数制御部は、前記試験を行う前記メモリセルアレイに応じた前記内部クロック信号を出力することを特徴とする付記 4 に記載の半導体集積回路装置。

(付記 8) 前記内部クロック信号を、対応する前記メモリセルアレイに供給するためのクロック供給切替部を備えることを特徴とする付記 7 に記載の半導体集積回路装置。

(付記 9) メモリセルアレイの自己診断試験機能を有するメモリマクロを備える半導体集積回路装置であって、

前記メモリセルアレイから入出力されるデータのレイテンシを制御するデータレイテンシ制御部と、

通常動作時に設定されるべき第 1 レイテンシ値情報と、前記自己診断試験時に設定されるべき第 2 レイテンシ値情報とを、前記データレイテンシ制御部に供給する設定レイテンシ値切替部と、

前記第 2 レイテンシ値情報を格納するレイテンシ値格納部とを備えることを特徴とする半導体集積回路装置。

(付記 10) 前記第 1 レイテンシ値情報は、前記メモリマクロを 1 機能回路として動作させる際のレイテンシ値情報であり、

前記第 2 レイテンシ値情報は、前記メモリマクロの動作実力周波数による動作におけるレイテンシ値情報であることを特徴とする付記 9 に記載の半導体集積回路装置。

(付記 11) 前記レイテンシ値格納部には、外部から供給される試験条件情報に基づき、前記第 2 レイテンシ値情報が格納されることを特徴とする付記 9 に記載の半導体集積回路装置。

(付記 12) 前記試験条件情報とは、前記第 2 レイテンシ値情報に関する情報であることを特徴とする付記 11 に記載の半導体集積回路装置。

(付記 13) 前記メモリマクロは、相互に前記第 2 レイテンシ値情報の異なる 2 以上のメモリセルアレイを備え、

前記レイテンシ値格納部は、前記試験を行う前記メモリセルアレイに応じた前記第 2 レイテンシ値情報を出力することを特徴とする付記 9 に記載の半導体集積回路装置。

(付記 14) 前記レイテンシ値格納部に格納されている前記第 2 レイテンシ値情報を、対応する前記メモリセルアレイに供給するためのレイテンシ値供給切替部を備えることを特徴とする付記 13 に記載の半導体集積回路装置。

(付記 15) メモリセルアレイの自己診断試験機能を有するメモリマクロを備える半導体集積回路装置であって、

前記メモリセルアレイの所定領域ごとに、不良記憶セルが存在するか否かの検出結果を格納する不良領域格納部と、

前記検出結果を、外部から供給されるクロック信号に基づき出力する際、前記不良領域格納部からの出力経路における伝播遅延時間と前記クロック信号の動作周波数とに応じて、前記検出結果の出力レイテンシを制御する出力レイテンシ制御部とを備えることを特徴とする半導体集積回路装置。

(付記 1 6) 前記出力レイテンシ制御部は、外部から供給される試験条件情報に基づき、出力レイテンシ値が調整されることを特徴とする付記 1 5 に記載の半導体集積回路装置。

(付記 1 7) 前記試験条件情報とは、前記出力レイテンシ値情報に関する情報であることを特徴とする付記 1 6 に記載の半導体集積回路装置。

(付記 1 8) 複数の記憶セルを配置したメモリセルアレイの論理的なアドレス空間における基本領域である、論理行領域および論理列領域の選択により、通常動作において前記記憶セルに対するアクセスを行うメモリマクロを備えた半導体集積回路装置における、メモリマクロの自己診断試験方法であって、

前記メモリセルアレイの物理的配置に基づき、前記論理行領域または前記論理列領域を、少なくとも 1 単位の物理行領域または物理列領域に分割する試験単位抽出ステップと、

前記物理行領域または前記物理列領域ごとに、不良記憶セルが存在するか否かを検出する不良領域検出ステップとを有することを特徴とする半導体集積回路装置に内蔵されるマクロメモリの自己診断試験方法。

(付記 1 9) メモリマクロと論理マクロとを備え、外部から供給されるクロック信号に基づき動作する半導体集積回路装置における、メモリマクロの自己診断試験方法であって、

自己診断試験の開始指令により、前記メモリマクロに対する前記論理マクロからの制御を停止する制御分離ステップと、

自己診断試験の開始指令により、前記メモリマクロに対して、前記クロック信号を変換して前記メモリマクロの動作実力周波数である内部クロック信号を供給する試験クロック供給ステップとを有することを特徴とする半導体集積回路装置

に内蔵されるマクロメモリの自己診断試験方法。

(付記 2 0) メモリセルアレイとのデータ入出力を行うメモリマクロを備える半導体集積回路装置における、メモリマクロの自己診断試験方法であって、

自己診断試験時に前記メモリセルアレイから入出力されるデータに対する試験レイテンシ値情報を格納する試験レイテンシ値格納ステップと、

自己診断試験の開始指令により、前記試験レイテンシ値情報を設定する試験レイテンシ値設定ステップと、

設定された前記試験レイテンシ値情報により、前記メモリセルアレイから入出力されるデータのレイテンシ制御を行うデータレイテンシ制御ステップとを有することを特徴とする半導体集積回路装置に内蔵されるマクロメモリの自己診断試験方法。

(付記 2 1) メモリセルアレイとのデータ入出力を行うメモリマクロを備える半導体集積回路装置における、メモリマクロの自己診断試験方法であって、

前記メモリセルアレイの所定領域ごとに、不良記憶セルが存在するか否かの検出結果を格納する不良領域格納ステップと、

前記検出結果を、外部から供給されるクロック信号により出力するにあたり、前記検出結果が出力されるまでの伝播遅延時間と前記クロック信号の動作周波数とに基づき、前記検出結果の出力レイテンシ値を確定する出力レイテンシ確定ステップと、

前記検出結果を、前記クロック信号に基づき前記出力レイテンシ値で出力する不良領域出力ステップとを有することを特徴とする半導体集積回路装置に内蔵されるマクロメモリの自己診断試験方法。

【 0 0 7 9 】

【発明の効果】

本発明によれば、半導体集積回路装置に搭載されたメモリマクロを試験する際、半導体集積回路装置において設定されている動作仕様に関わらず、最適な試験単位を最適な試験条件で試験することが可能なメモリマクロを備える半導体集積回路装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の原理説明図である。

【図 2】

第 1 実施形態の回路ブロック図である。

【図 3】

第 2 実施形態の回路ブロック図である。

【図 4】

周波数制御部の具体例を示す回路図である。

【図 5】

第 3 実施形態の回路ブロック図である。

【図 6】

第 1 乃至第 3 実施形態の具体例を示す回路図である。

【図 7】

データレイテンシ制御部の具体例（1 ビットデータ分）を示す回路図である。

【図 8】

図 7 においてレイテンシ 2 が設定された場合の動作波形図である。

【図 9】

第 4 実施形態の回路ブロック図である。

【図 1 0】

従来技術（特許文献 1）における自己診断回路の回路ブロックである。

【図 1 1】

メモリセルアレイの論理アドレス空間の違いによる冗長構成の違いを示す概念図である。

【図 1 2】

半導体集積回路装置におけるメモリマクロと外部端子との配置位置関係を示す概念図である。

【符号の説明】

- | | |
|---|--------|
| 1 | メモリマクロ |
| 2 | 論理マクロ |

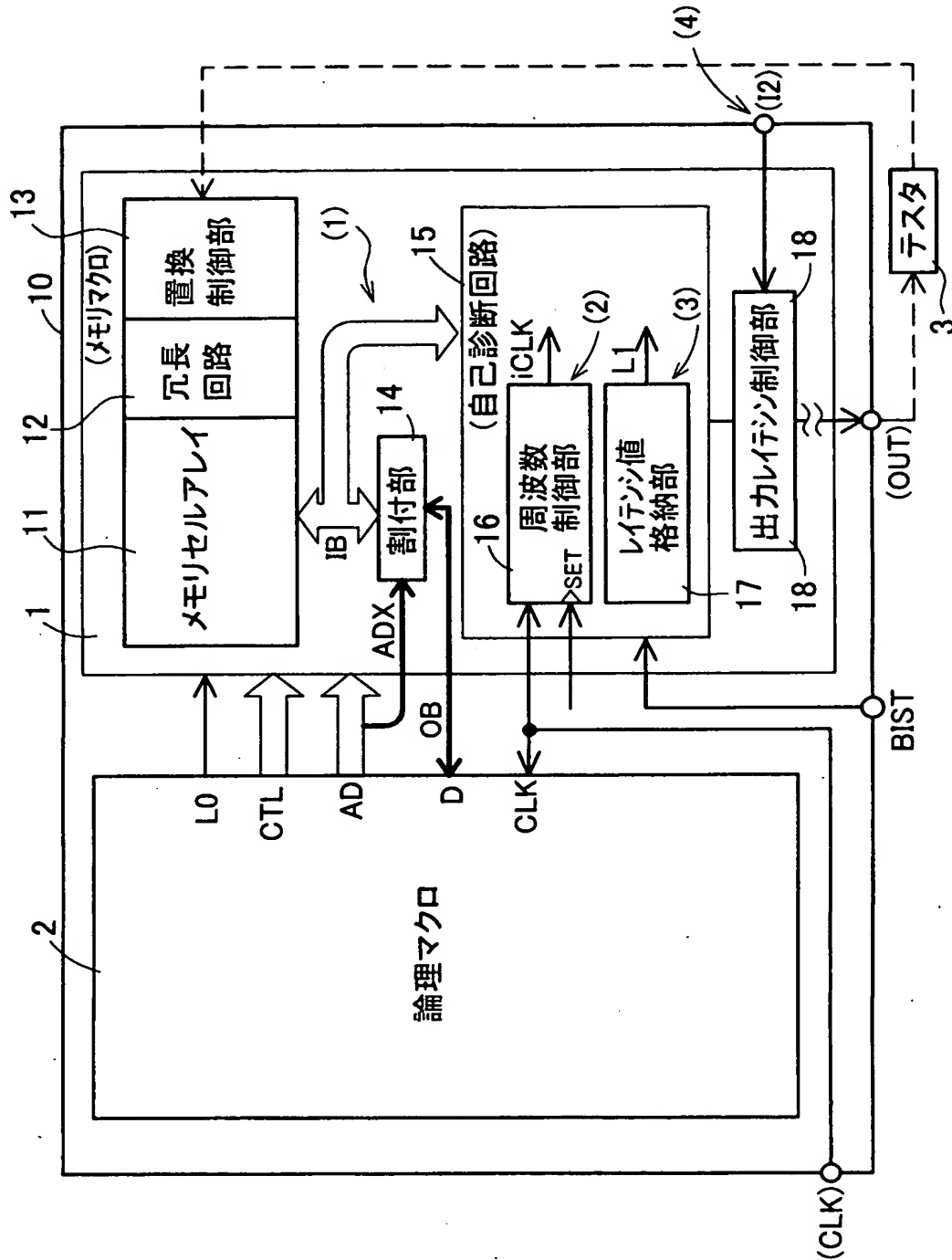
1 0	半導体集積回路装置
1 1	メモリセルアレイ
1 1 A	メモリセルアレイ A
1 1 B	メモリセルアレイ B
1 4	割付部
1 4 A	マルチプレクサ (M U X)
1 5、1 5 A、1 5 B、1 5 C	自己診断回路
1 6、1 6 A、1 6 B	周波数制御部
1 7、1 7 A、1 7 B	レイテンシ値格納部
1 8	出力レイテンシ制御部
2 1 A	不良領域検出部
2 1 B	不良領域格納部
2 5	データレイテンシ制御部
2 6	設定レイテンシ値切替部
2 8	クロック供給切替部
2 9	レイテンシ値供給切替部
I B、I B 1	内部バス
O B、O B 1	外部バス

【書類名】

図面

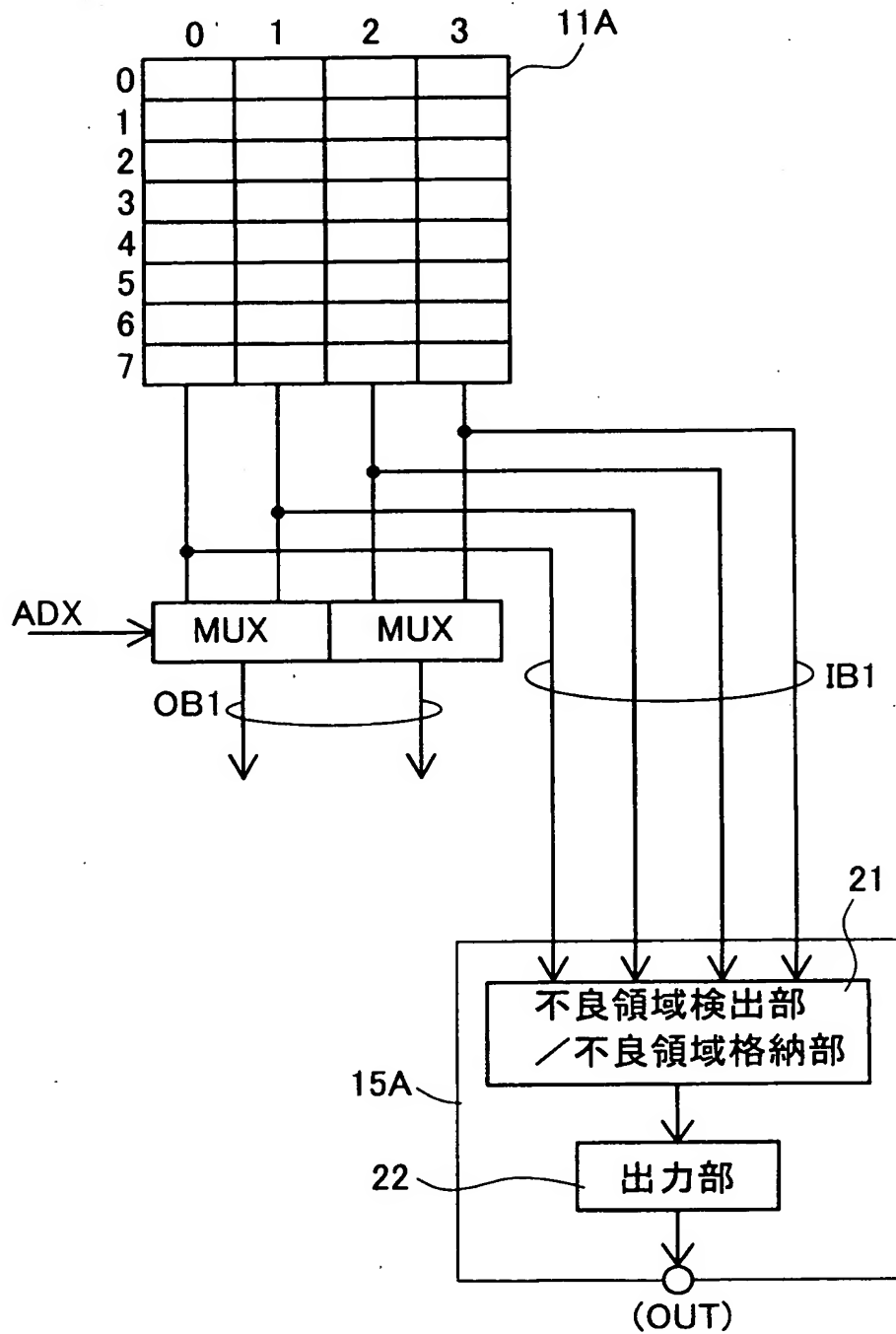
【図 1】

本発明の原理説明図



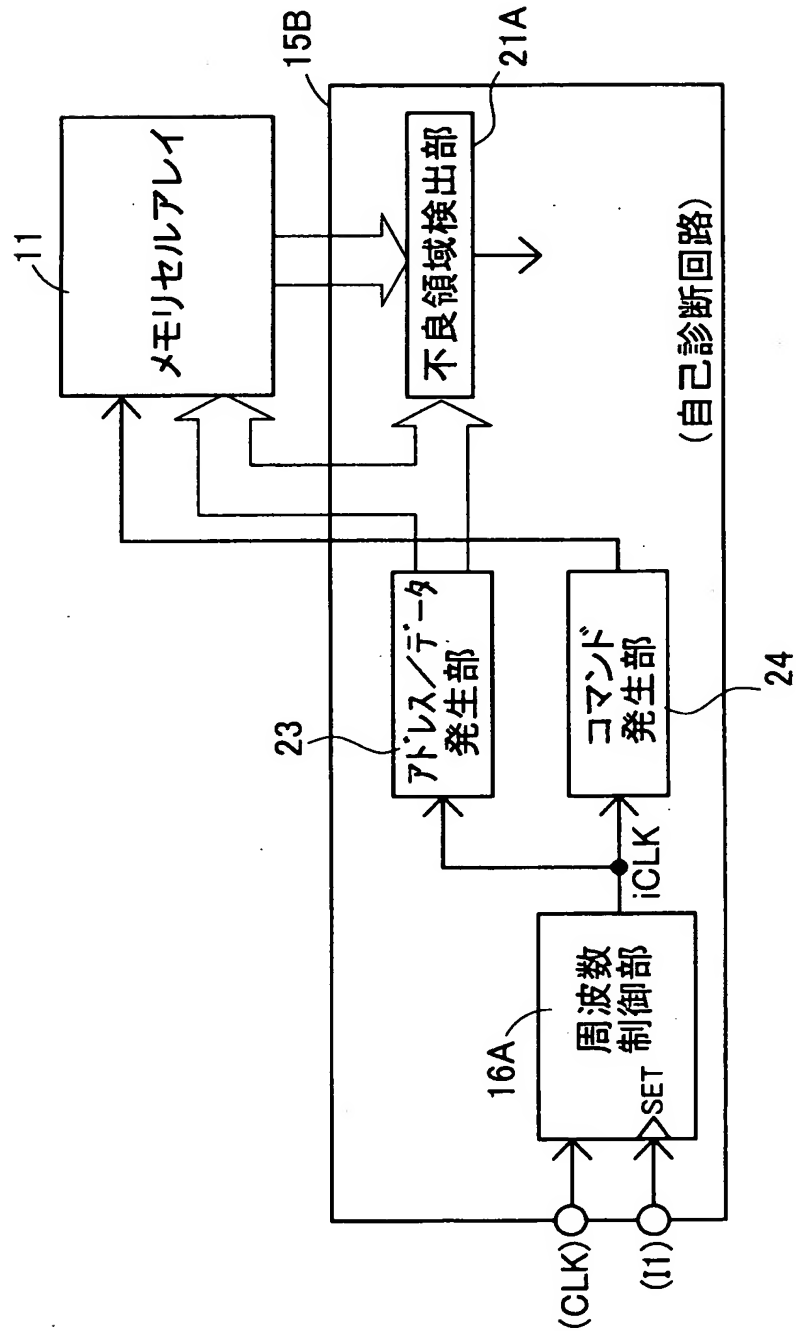
【図 2】

第1実施形態の回路ブロック図



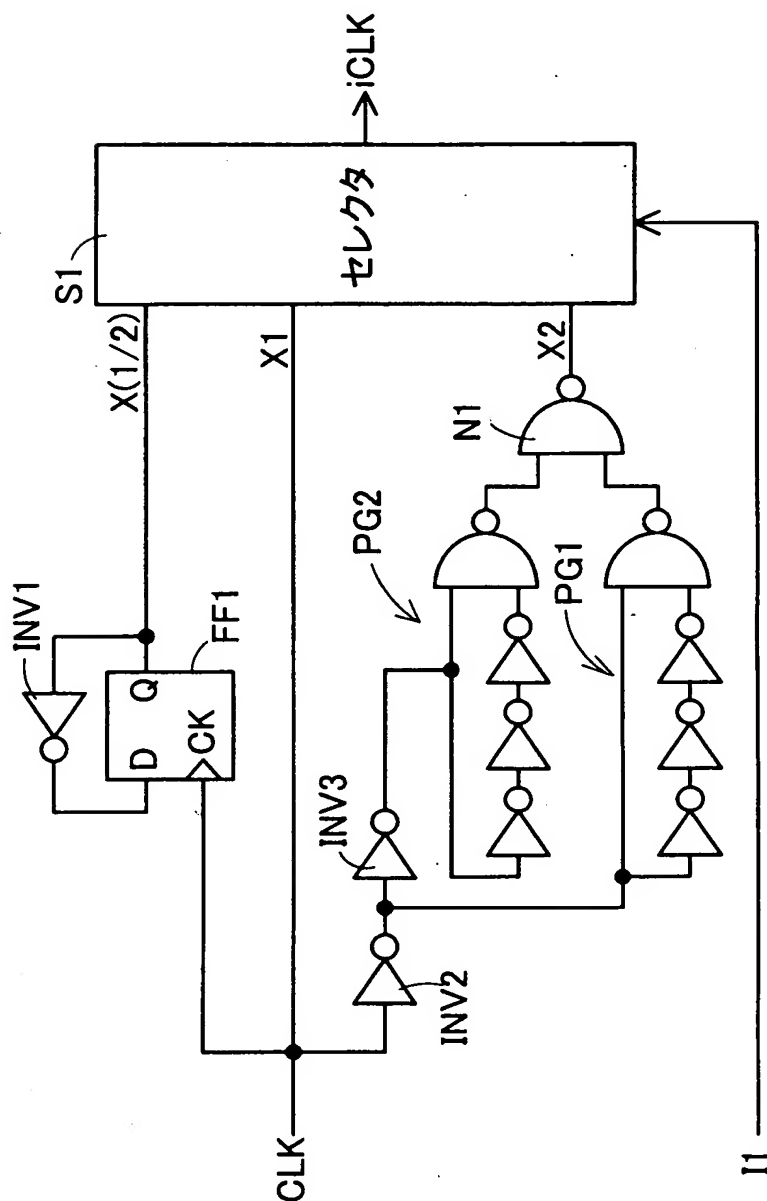
【図 3】

第2実施形態の回路ブロック図



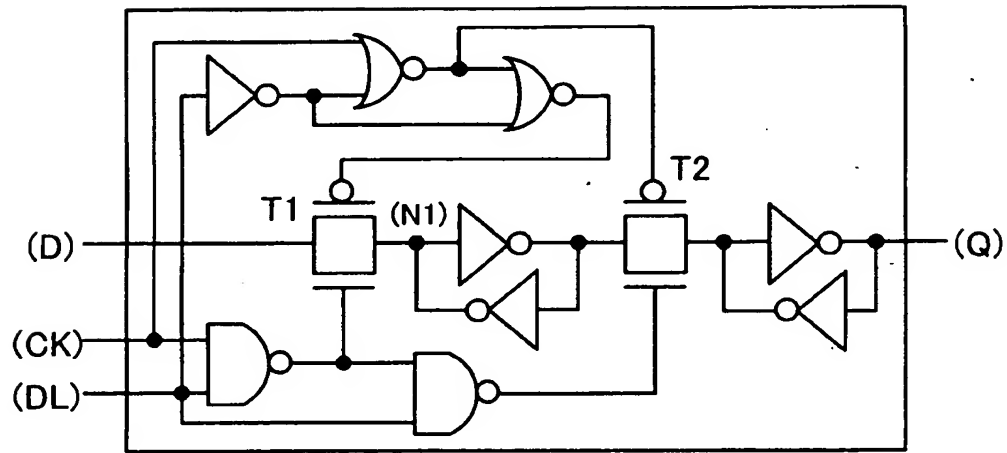
【図 4】

周波数制御部の具体例



【図 7】

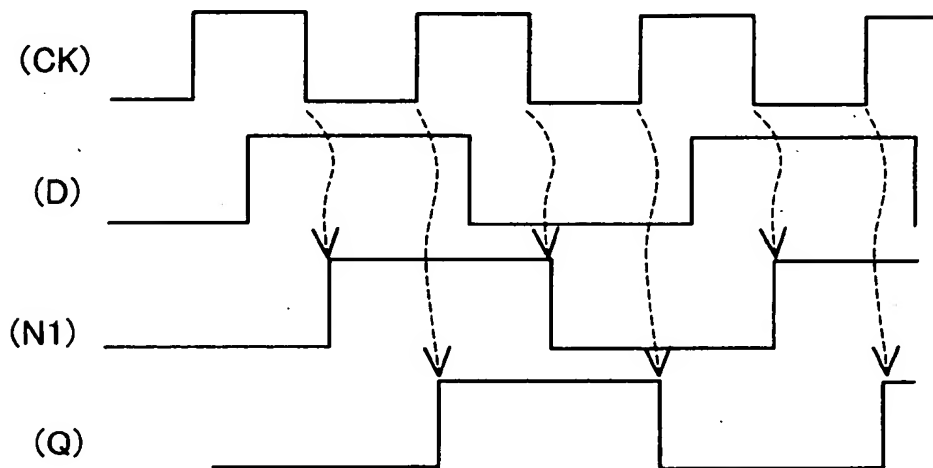
データレイテンシ制御部の具体例(1ビットデータ分)



【図 8】

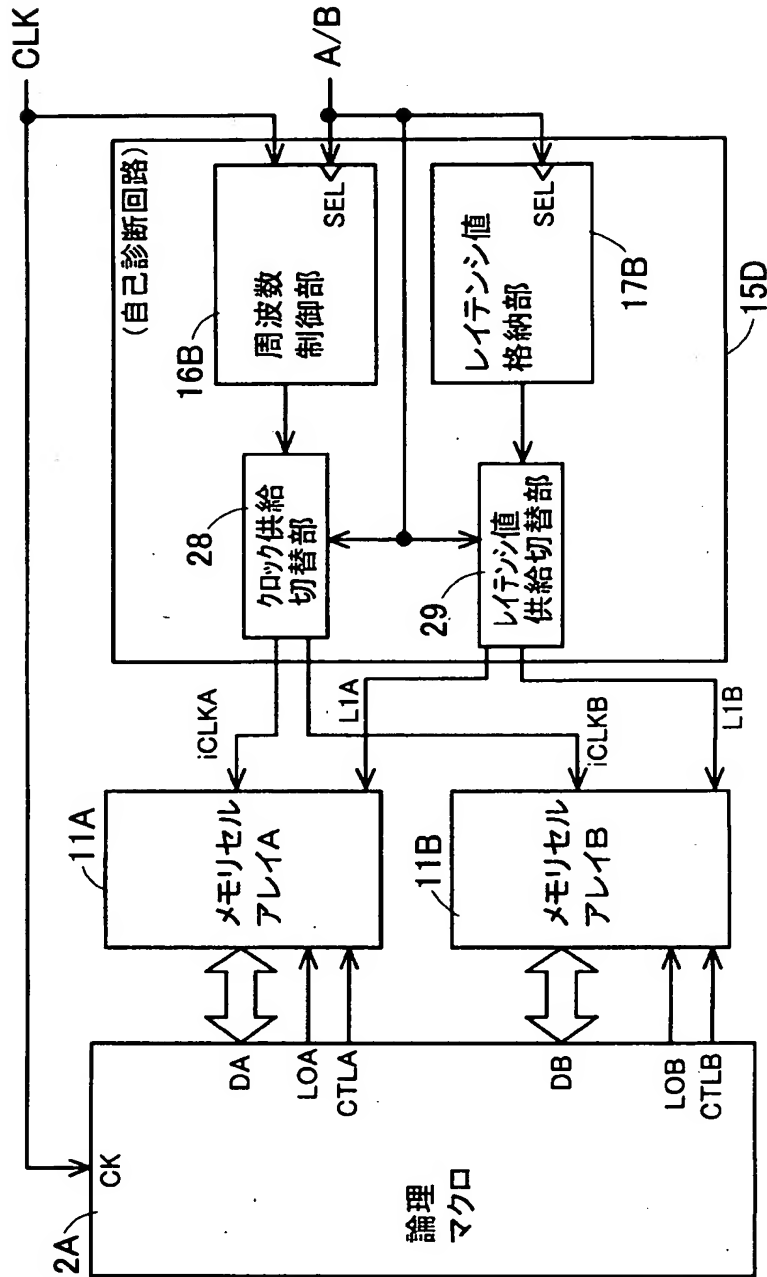
図7においてレイテンシ2設定時(DL="H")の動作波形

(DL="H")



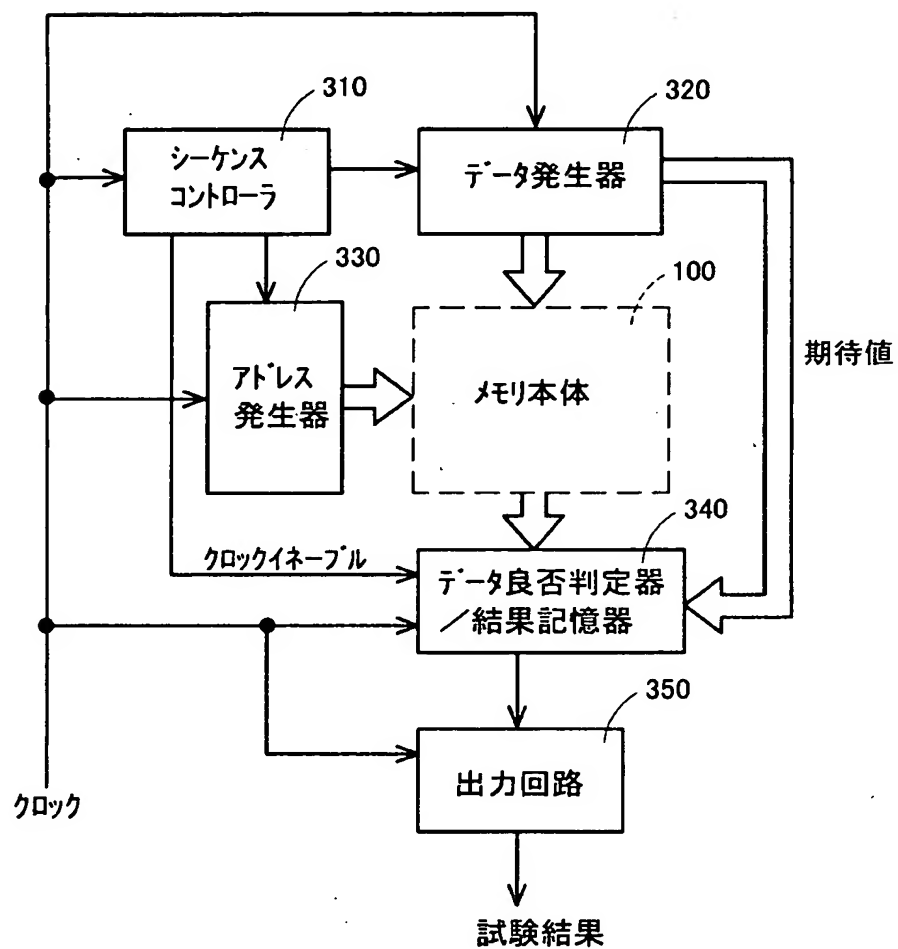
【図 9】

第4実施形態の回路ブロック図



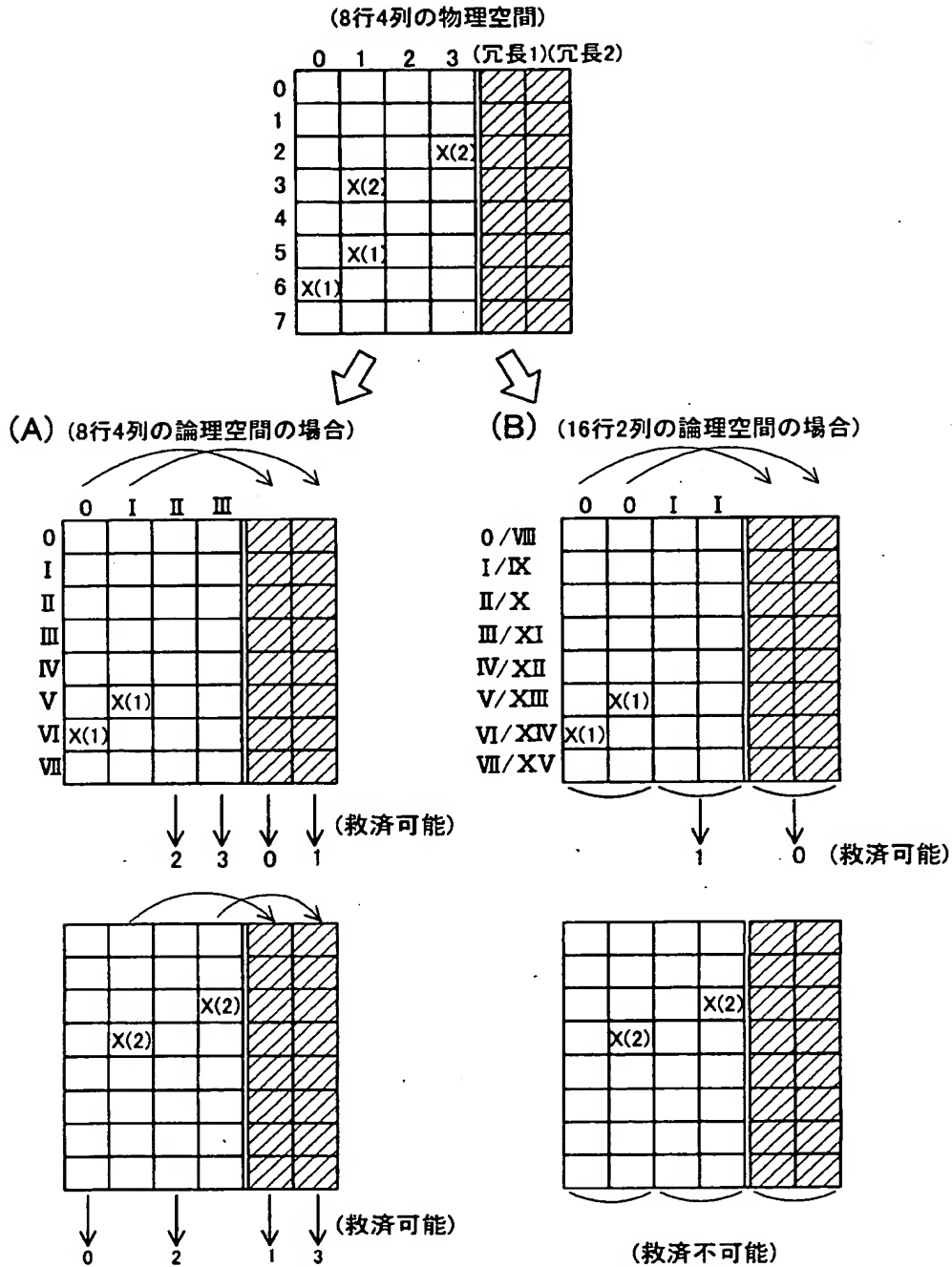
【図 1 0】

従来技術(特許文献1)における自己診断回路の回路ブロック図



【図 1 1】

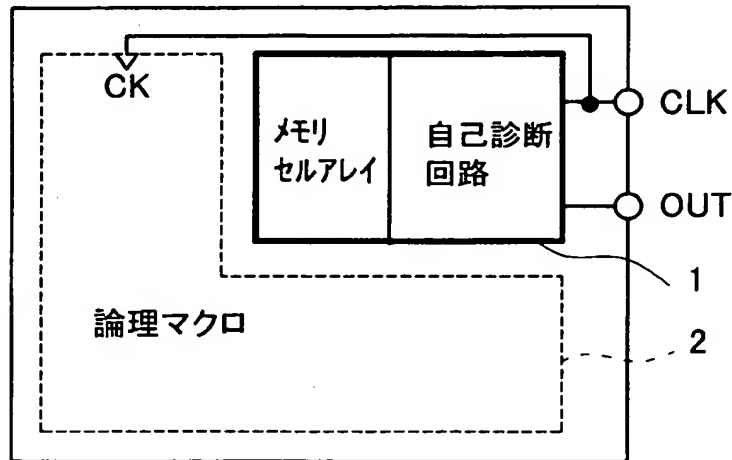
メモリセルアレイの論理アドレス空間の違いによる冗長構成の違いを示す概念図



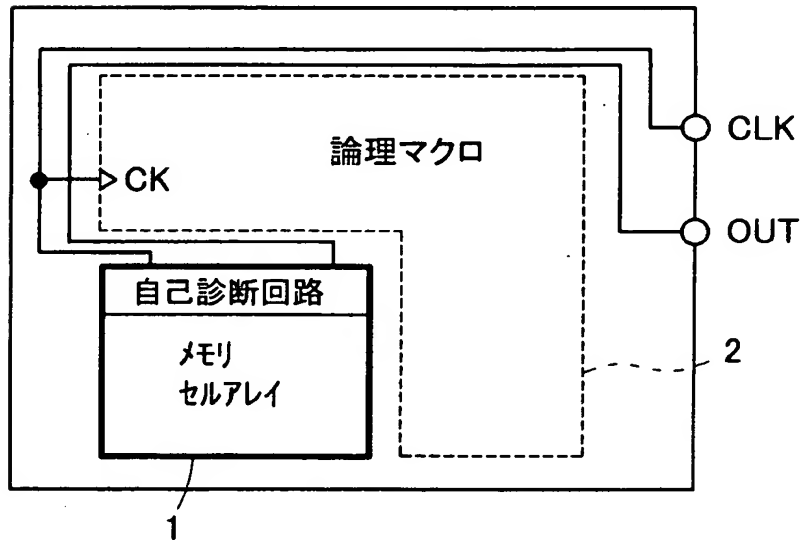
【図 1 2】

半導体集積回路装置におけるメモリマクロと外部端子との
位置関係を示す概念図

(A) パッドからメモリまでが短い場合



(B) パッドからメモリまでが長い場合



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置に搭載されたメモリマクロの試験の際、メモリマクロに最適な試験単位を最適な試験条件で試験することが可能な半導体集積回路装置を提供すること。

【解決手段】 内部バス I B が自己診断回路に接続されており、メモリセルアレイ 1 1 の物理空間における基本領域である物理領域ごとに自己診断試験が行われる。論理マクロからの制御による論理アドレス空間で設定される外部バス O B に関わらず、常に物理領域を基本単位として試験が行われ基本単位ごとに冗長救済ができる。また自己診断試験時にはメモリマクロに最適な内部クロック信号 i C L K や第 2 レイテンシ値情報 L 1 でメモリマクロ 1 の試験を実行することができる。更に、試験による不良記憶セルの検出結果の出力レイテンシを、信号経路の配線負荷に伴う信号伝播遅延時間に応じて調整することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社